

芯片概述

A8012 是专为LED显示应用所设计的恒流驱动芯片，12个输出通道的电流可由一外挂电阻调整。每通道最大输出承受电压高达40V，可串接12颗LED芯片。芯片工作电压范围宽广，可从5V到24V，串行数据输入/输出的时钟频率可达40MHz。过温断电功能则可保护芯片避免在高温环境使用下而毁损。

- 恒流输出：0 ~ 40mA (以一外挂电阻调整)
- 芯片工作电压：5V~24V
- 快速的电流输出响应：200ns(最小值)
- 电流精确度：
 - ±3%(通道与通道之间)
 - ±6%(芯片与芯片之间)
- 串行数据输入/输出
- 所有控制讯号均为串行输入/输出
- 运行环境温度：-40° C to 85° C
- 过温保护功能
- 封装形式：SSOP 24, PDIP 24

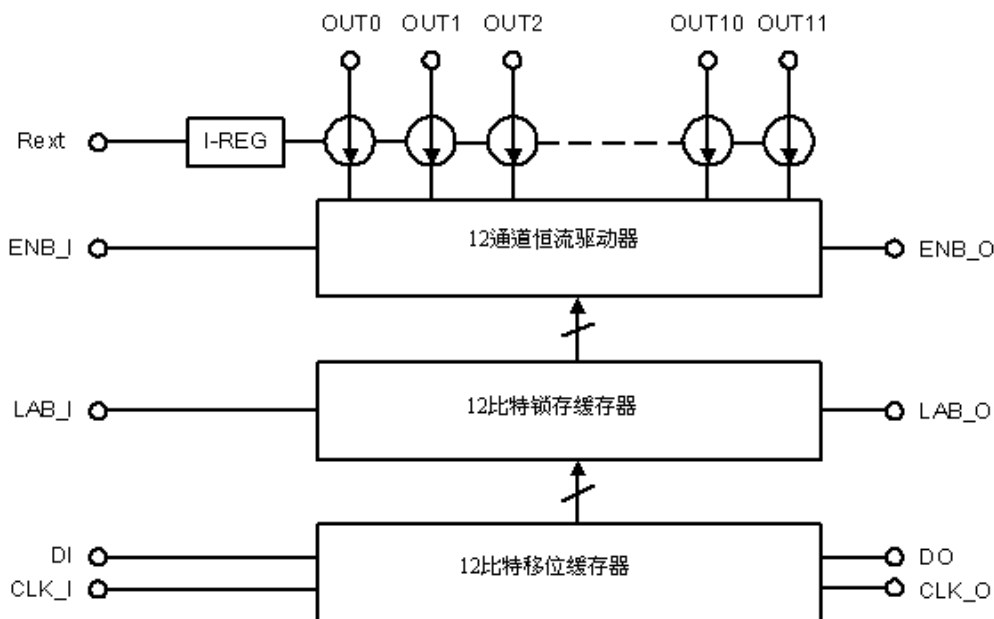
芯片特色

- 12 个恒流输出通道
- 最大输出承受电压：40V
- 芯片可直接串接，不需要 7805、74245
- 最大时钟频率：40MHz

应用

- 护栏管/软条灯
- 侧光/直下式 LED 背光板
- 户内/外 LED 视频/讯息显示屏
- LED 装饰与照明

功能方块图





最大工作范围

特性	符号	最大工作范围	单位
工作电压	V_{DD}	27	V
输入电压	V_{IN}	7	V
输出电流	I_O	45	mA/channel
输出电压	V_{OUT}	-0.4 ~ 45.0	V
消耗功率	P_D	1.42	W
热阻值	$R_{TH(j-a)}$	70.45	°C/W
ESD(HBM)	-	2K	V
工作温度	T_A	-40 ~ 85	°C
存放温度	T_{STG}	-55 ~ 150	°C

推荐工作参数

特性	符号	条件	最小值	一般值	最大值	单位
工作电压	V_{DD}	-	4.5	-	24.0	V
输出电压	V_{OUT}	$OUT_0 \sim OUT_{11}$	1.0	-	40.0	V
输出电流	I_{OUT}	Each DC circuit	0	-	40	mA/ch
输入时钟频率	f_{CLK}	Cascade connected	-	-	40M	Hz
锁存信号(LAB_I)脉波宽度	$tw(L)$		25	-	-	ns
时钟信号(CLK_I)脉波宽度	$tw(CLK)$	-	12.5	-	-	ns
致能信号(ENB_I)脉波宽度	$tw(E)$	$I_{OUT} = 20mA$	200	-	-	ns

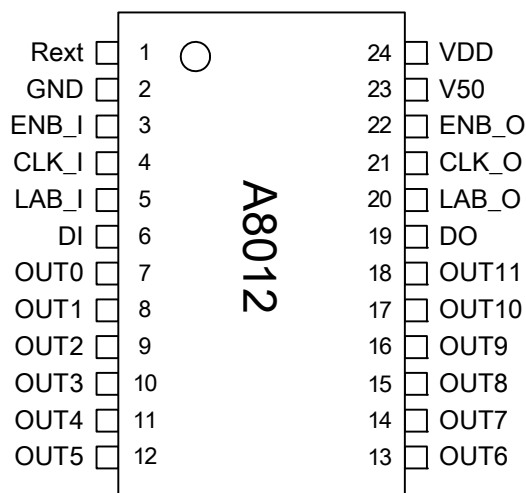
电气特性

特性	符号	条件	最小	一般	最大	单位
工作电压	V_{DD}	-	4.5	-	24.0	V
输出电压	V_{OUT}	$OUT_0 \sim OUT_{11}$	-	-	40.0	V
工作电流	I_{DD}	No data transfer, All outputs OFF $R_{EXT} = 890 \Omega$	-	-	8	mA
输入电压-高电平("H" Level)	V_{IH}	-	2.0	-	5.5	V
输入电压-低电平("L" Level)	V_{IL}	-	GND	-	0.8	V
输出电压-高电平("H" Level)	V_{OH}	$I_{OH} = -8mA$	2.4	-	-	V
输出电压-低电平("L" Level)	V_{OL}	$I_{OL} = 8 mA$	-	-	0.4	V
输出漏电流	I_{OL}	$V_{OH}=40V, OUT_0 \sim OUT_{11}$	-	-	1	μA
输出电流	I_{OUT1}	$V_{OUT}=1.0V$ $V_{DD}=5 \sim 24V$ $R_{EXT} = 890 \Omega$	-	20.0	-	mA
输出电流差异(通道间)	ΔI_O	-	-	-	± 3	%
输出电流 对 输出电压 之变异率	$\Delta I_{O(2)}$	-	-	± 2	± 6	%/V
输出电流 对 工作电压 之变异率	$\Delta I_{O(3)}$	-	-	± 2	± 6	%/V
过温断电起始温度	T_J	芯片温度	-	-	150	°C
下拉电阻	R_{IN-L}	LAB_I	-	150k	-	Ω
上拉电阻	R_{IN-H}	ENB_I (to V50)	-	150k	-	Ω

交流特性

特性	符号	条件	最小	一般	最大	单位
Clock high pulse width	$tw_{(CLK)}$	-	12.5	-	-	ns
Data input setup time	$tsu_{(D)}$	DI – CLK_I	5	-	-	ns
Data input hold time	$th_{(D)}$	CLK_I – DI	5	-	-	ns
LAB_I pulse width time	$tw_{(L)}$	-	25	-	-	ns
LAB_I setup ime	$tsu_{(L)}$	CLK_I – LAB_I	25	-	-	ns
ENB_I pulse width	$tw_{(E)}$	-	200	-	-	ns
DO delay time	tp_{LH} , tp_{HL}	CLK_I – DO ($C_{Load} = 100pF$)	-	-	10	ns
OUTn delay time	tp_{LH2} , tp_{HL2}	ENB_I – OUTn	-	-	50	ns
Logic signal input to output delay time	td_{LH} , td_{HL}	CLK_I – CLK_O LAB_I – LAB_O ENB_I – ENB_O ($C_{Load} = 100pF$)	-	-	10	ns

脚位图



脚位定义

Pin number	Pin name	I/O	Description
1	Rext	I	外挂电阻端，外挂电阻应接于 Rext 脚管与 GND 端之间
2	GND	G	接地端
3	ENB_I	I	恒流输出致能开关，当 ENB_I 设定为低,所有恒流输出启动，当 ENB_I 设定为高,所有恒流输出关闭
4	CLK_I	I	串行时钟讯号输入端
5	LAB_I	I	串行数据锁存输入端
6	DI	I	串行数据输入端
7	OUT0	O	恒流输出端 0
8	OUT1	O	恒流输出端 1

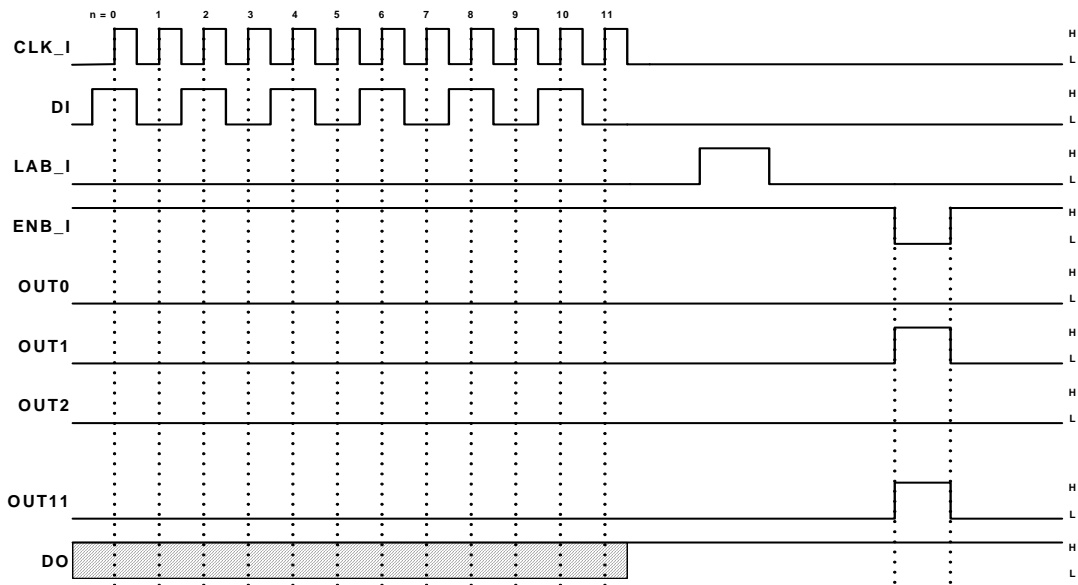


9	OUT2	O	恒流输出端 2
10	OUT3	O	恒流输出端 3
11	OUT4	O	恒流输出端 4
12	OUT5	O	恒流输出端 5
13	OUT6	O	恒流输出端 6
14	OUT7	O	恒流输出端 7
15	OUT8	O	恒流输出端 8
16	OUT9	O	恒流输出端 9
17	OUT10	O	恒流输出端 10
18	OUT11	O	恒流输出端 11
19	DO	O	串行数据输出端
20	LAB_O	O	串行数据锁存输出端
21	CLK_O	O	串行时钟讯号输出端
22	ENB_O	O	串行恒流输出致能开关输出
23	V50	O	芯片 5V 工作电源端，1 μ F 电容器接 GND.
24	VDD	P	操作电源端

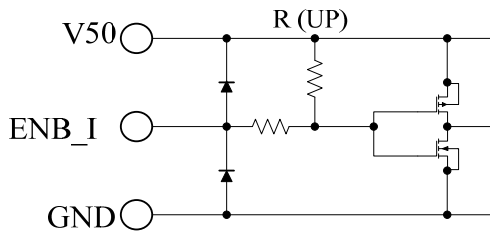
真值表

CLK_I	LAB_I	ENB_I	SERIAL-IN	OUT0 .. OUT5 ... OUT11	SERIAL-OUT
	H	L	Dn	Dn ... Dn-5 ... Dn-11	Dn-12
	L	L	Dn+1	No Change	Dn-11
	H	L	Dn+2	Dn+2 ... Dn-3 ... Dn-9	Dn-10
	X	L	Dn+3	Dn+2 ... Dn-3 ... Dn-9	Dn-9
	X	H	Dn+3	OFF	Dn-9

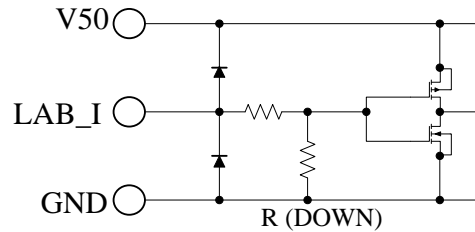
时序图解



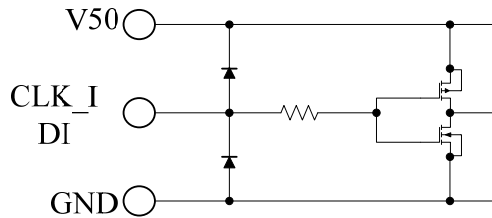
1. ENABLE 端



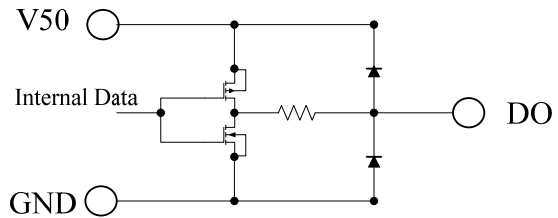
2. LATCH 端



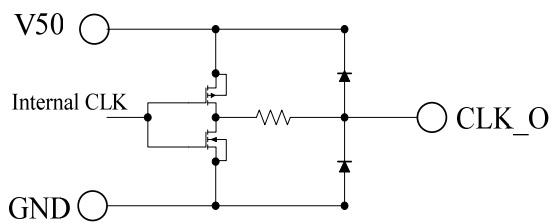
3. CLOCK, SERIAL-IN 端



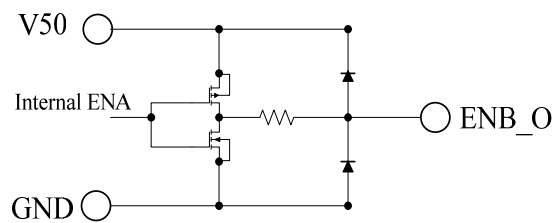
4. SERIAL-OUT 端



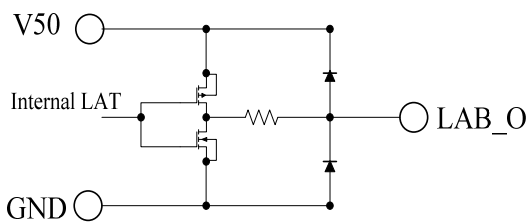
5. CLOCK-OUT 端



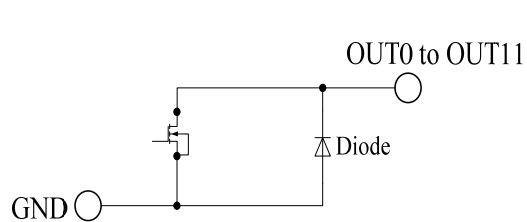
6. ENABLE-OUT 端



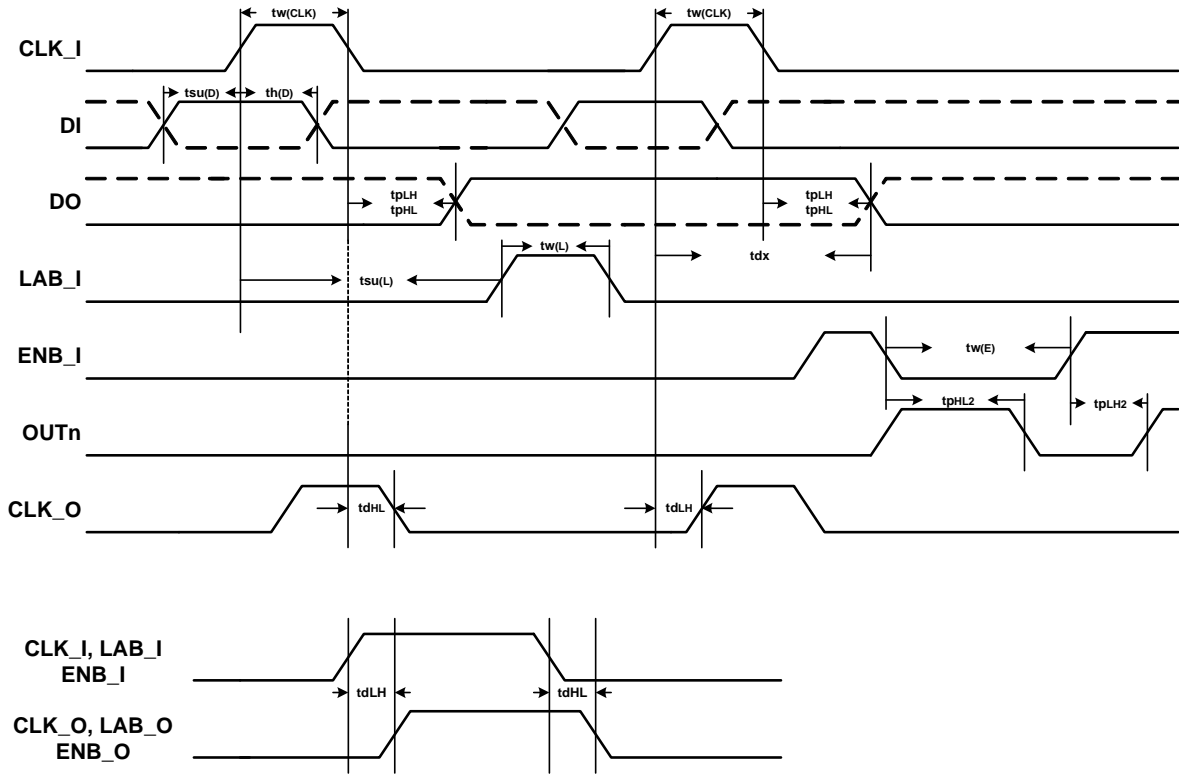
7. LATCH-OUT 端

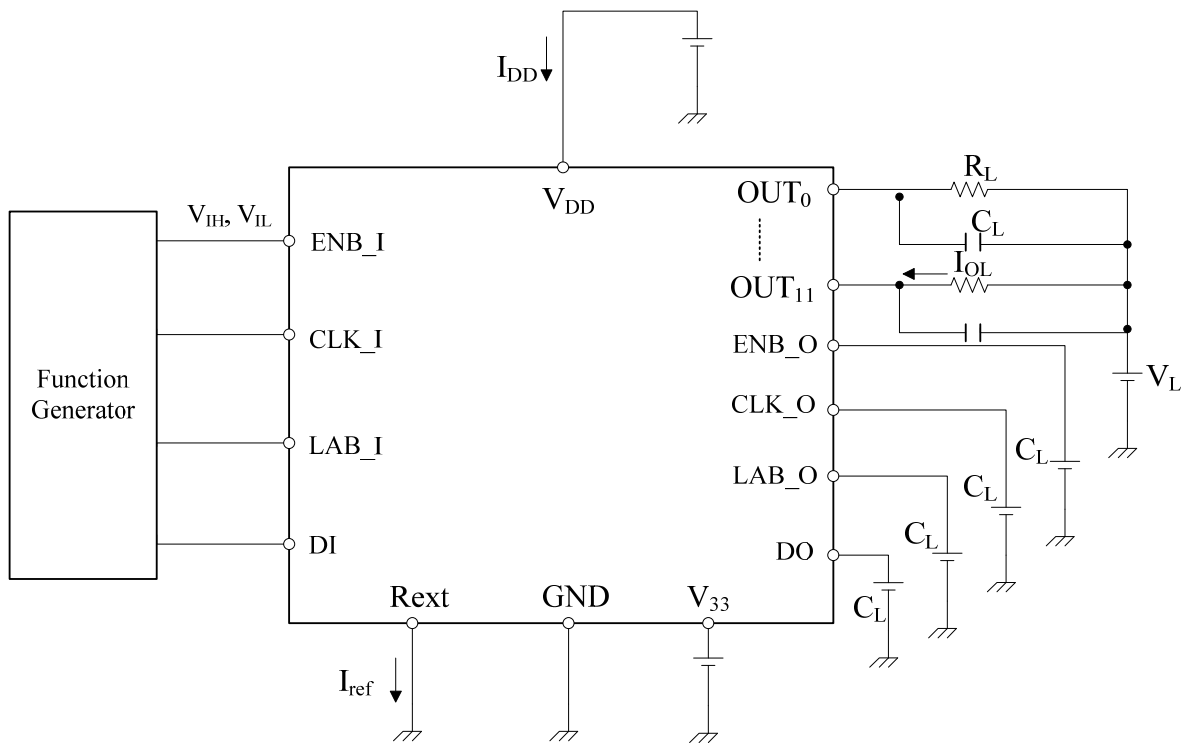


8. OUT0 to OUT11 端



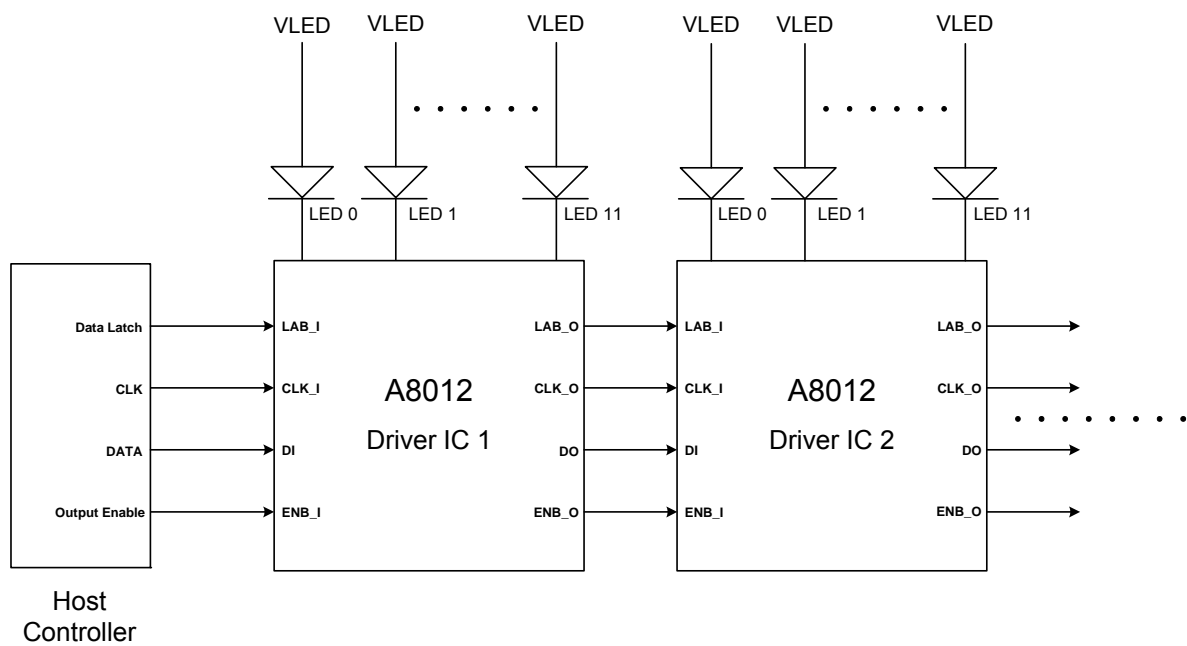
时序图

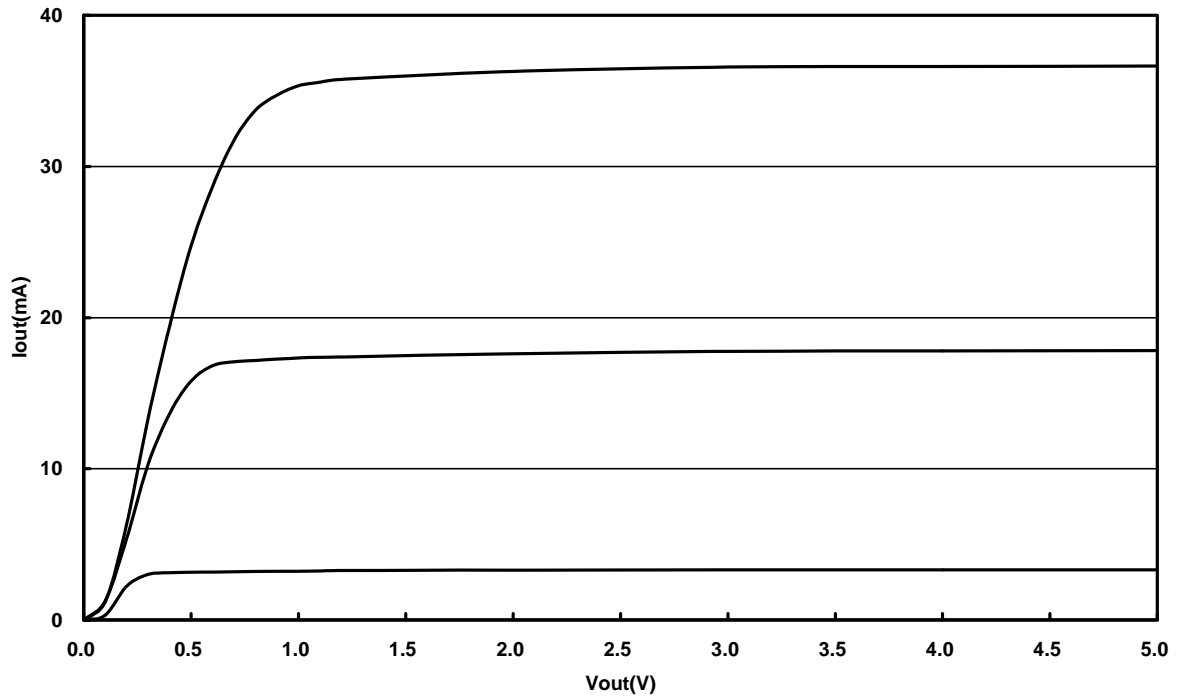




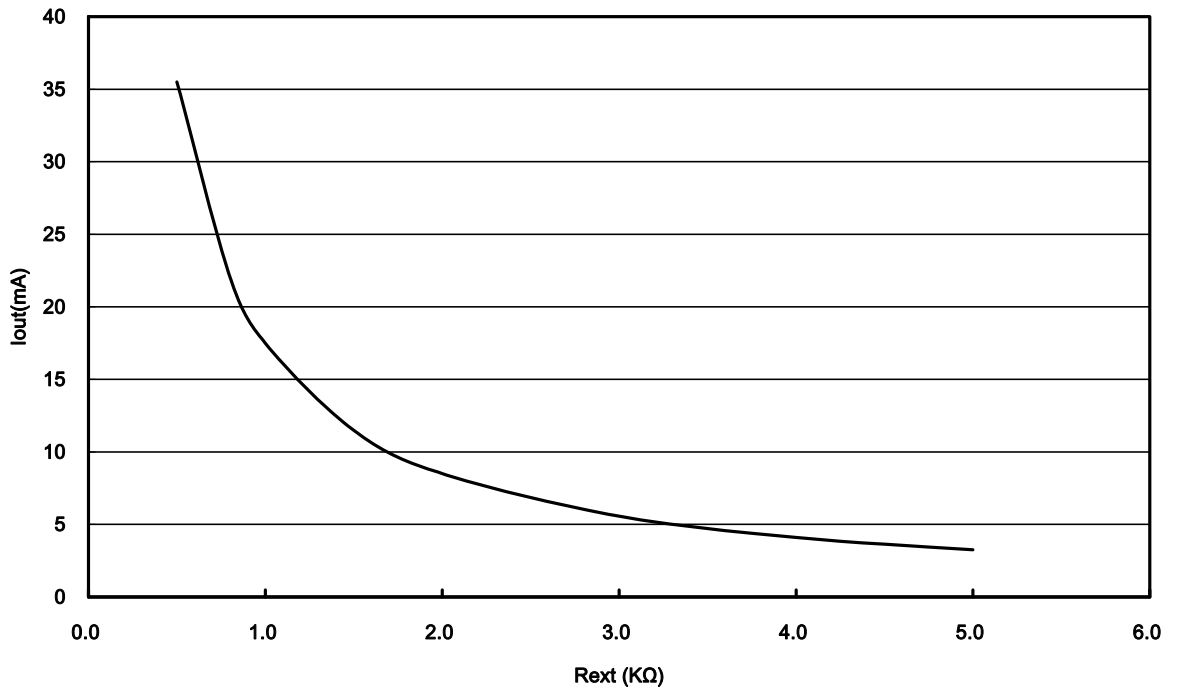
$V_{DD} = 5.0V$, $V_{IH} = 5.0V$, $V_{IL} = 0V$, $t_r = t_f = 10ns$, $C_L = 100pF$

典型应用





输出电流与输出电压关系图

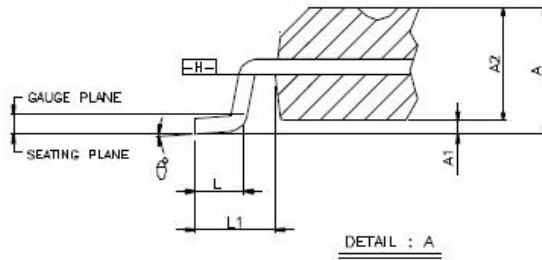
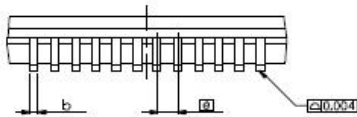
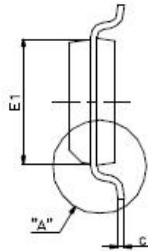
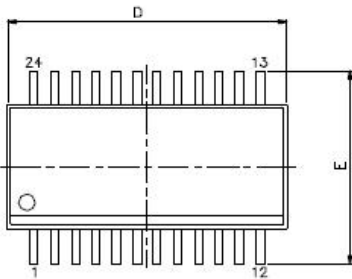


输出电流与外接电阻关系图 ($I_{out} = 1.23 * 14.5 / R_{ext}$)



封装外型尺寸：

SSOP24



SYMBOLS	MIN.	NOM.	MAX.
A	0.053	0.064	0.069
A1	0.004	0.006	0.010
A2	—	—	0.059
D	0.337	0.341	0.344
E	0.228	0.236	0.244
E1	0.150	0.154	0.157
b	0.008	—	0.012
C	0.007	—	0.010
Ⓜ	0.025 BASIC		
L	0.016	0.025	0.050
L1	0.041 BASIC		
θ°	0°	—	8°

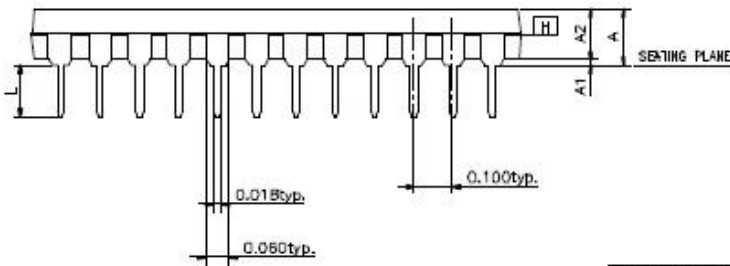
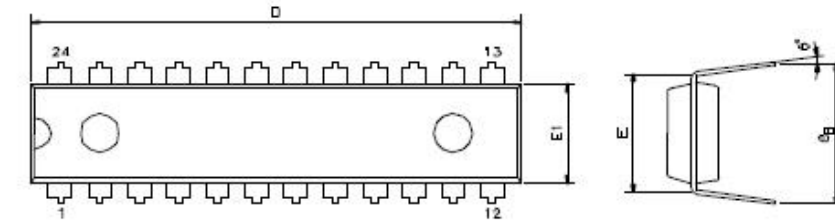
UNIT : INCH

NOTES:

1. JEDEC OUTLINE : MO-137 AE
2. DIMENSION D DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS. MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006" PER SIDE. DIMENSION E1 DOES NOT INCLUDE INTERLEAD MOLD PROTRUSIONS. INTERLEAD MOLD PROTRUSIONS SHALL NOT EXCEED 0.010" PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.004" TOTAL IN EXCESS OF b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR INTRUSION SHALL NOT REDUCE DIMENSION b BY MORE THAN 0.002" AT LEAST.

Ascend

PDIP24



SYMBOLS	MIN.	NOR.	MAX.
A	—	—	0.210
A1	0.015	—	—
A2	0.125	0.130	0.135
D	1.230	1.250	1.280
E	0.300 BSC.		
E1	0.253	0.258	0.263
L	0.115	0.130	0.150
e _B	0.335	0.355	0.375
θ°	0	7	15

UNIT : INCH